

Docket No.: P2001,0129

#3 cd
6-21-02

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: May 10, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Dirk Hottgenroth
Appl. No. : 10/082,556
Filed : February 25, 2002
Title : Method for Operating an Integrated Memory Unit

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 08 820.5 filed February 23, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



RALPH E. LOCHER
REG NO. 41,947

Date: May 10, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



CERTIFIED COPY OF
PRIORITY DOCUMENT

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 08 820.5
Anmeldetag: 23. Februar 2001
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Verfahren zum Betrieb eines integrierten
Speichers
IPC: G 11 C 8/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Hiebinger

Beschreibung

Verfahren zum Betrieb eines integrierten Speichers

5 Die vorliegende Erfindung betrifft ein Verfahren zum Betrieb eines integrierten Speichers.

Zum Betrieb eines integrierten Speichers, wie beispielsweise eines DRAM-Speichers, ist im allgemeinen ein Befehlssatz und eine Adressierung erforderlich, die im Ablauf in Verbindung miteinander häufig als sogenanntes Protokoll bezeichnet werden. Der Befehlssatz und die Adressierung bestimmter zu schreibender oder zu lesender Speicherteilbereiche beispielsweise eines dynamischen Speichers sind heutzutage im allgemeinen sehr flexibel möglich, vergleiche beispielsweise sogenanntes SDRAM-Protokoll oder Rambus-Protokoll. Mit dieser hohen Flexibilität, einzelne oder wenige Speicherzellen aus einer großen Gesamtheit an Speicherzellen allein und unter verschiedenen Bedingungen ansprechen zu können, geht im allgemeinen auch eine entsprechend hohe Komplexität einher.

So werden beispielsweise für einen 64 Mbit-Chip neben den Signalpins für die eigentliche Datenübertragung beispielsweise noch etwa 5 bis 10 weitere Pins für Kommandos und Referenzspannungen, 10 bis 15 weitere Pins für die Adressierung und 1 bis 4 Pins für Taktsignale, sogenannte Clocks benötigt. Damit wird die Anzahl der Anschlüsse vergleichsweise groß, wodurch sich im allgemeinen auch die Herstellungskosten der Verpackung erhöhen. Außerdem ist es erforderlich, sehr viele Funktionen und Funktionskombinationen des Speicherchips vor der Auslieferung auf Funktionsfähigkeit hin zu testen, um dem Kunden ein unter allen denkbaren Einsatzbedingungen funktionierendes Produkt liefern zu können.

35 Die Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zum Betrieb eines integrierten Speichers anzugeben, durch das

eine vergleichsweise niedrige Anzahl an Anschlußpins ermöglicht ist.

Die Aufgabe wird gelöst durch ein Verfahren zum Betrieb eines integrierten Speichers mit einem Speicherzellenfeld, bei dem vor einem Speicherzugriff das Speicherzellenfeld in mehrere Speicherbereiche aufgeteilt wird, bei dem für einen Speicherzugriff einer der Speicherbereiche durch Anlegen einer Speicherbereichsadresse ausgewählt wird, bei dem während des Speicherzugriffs Adressen zum Zugriff auf Speicherzellen des einen der Speicherbereiche intern vom Speicher generiert werden, und bei dem über einen gemeinsamen externen Anschluß des Speichers die Speicherbereichsadresse und anschließend nacheinander Zugriffsdaten des einen der Speicherbereiche übertragen werden.

Mit der vorliegenden Erfindung ist es ermöglicht, eine hohe Anzahl an benötigten externen Anschlüssen beziehungsweise Pins dadurch zu verringern, indem eine Speicherbereichsadresse für einen Speicherzugriff und anschließend nacheinander Zugriffsdaten des betreffenden Speicherbereichs über wenigstens einen gemeinsamen externen Anschluß des Speichers übertragen werden (sogenanntes Multiplexen einer Adresse mit sehr vielen nachfolgenden Zugriffsdaten auf einem Pin). Die Adressen zum Zugriff auf Speicherzellen des betreffenden Speicherbereichs werden während des Speicherzugriffs beispielsweise durch einen internen Zähler innerhalb des Speichers generiert. Dadurch ist es ermöglicht, einen unterbrechungsfreien Zugriffsdatenstrom auf den Datenpins zur Verfügung zu stellen.

In einer Ausführungsform des erfindungsgemäßen Verfahrens wird mit einem Initialisierungsbefehl eine festzulegende Anzahl der Speicherbereiche oder alternativ eine Größe der jeweiligen Speicherbereiche übertragen. Beispielsweise wird das Speicherzellenfeld in Speicherbereiche gleicher Größe unter-

teilt. Dabei ist es vorteilhaft, wenn mit der Initialisierung die Bereichsgröße variiert werden kann.

In einer weiteren Ausführungsform der Erfindung wird ein Auswahl-
5 wahlsignal an den Speicher angelegt, mittels dem wenigstens zwei Befehle für den Speicherzugriff übertragen werden. Dadurch kann die Anzahl der Kommandopins verringert werden. Damit reduziert sich insgesamt die Anzahl der für Daten und Kommandos benötigten Pins. Ein derartiges Auswahlsignal ist
10 beispielsweise geeignet, zwischen Lesen und Schreiben von Zugriffsdaten zu unterscheiden. Es kann damit ein Auslesebefehl und ein Schreibbefehl mit dem selben Auswahlsignal alternativ übertragen werden. Vorzugsweise wird mittels des Auswahlsignals zusätzlich der Initialisierungsbefehl übertragen.

15 Mit dem erfindungsgemäßen Konzept wird die Flexibilität eines Speicherzugriffs in einem gewissen Maße eingeschränkt. Dieses sollte abgewägt werden unter den Gesichtspunkten, daß beim erfindungsgemäßen Betriebsverfahren eine verringerte Leistungsaufnahme, niedrigere Anforderungen an das Testen des
20 Speicherchips und ein normalerweise bevorzugter Transfer großer Datenmengen hintereinander ohne ständiges Springen der Adressen oder häufiges Umschalten zwischen Lesen und Schreiben ermöglicht ist.

25 Mit der Erfindung ist es weiterhin möglich, wie bei herkömmlichen Speichern eine Maskierung von Daten durchzuführen. Ebenso ist es möglich, einen Abbruch eines Lese- oder Schreibzyklus herbeizuführen. Zu diesen Zwecken wird vorteilhaft ein Unterbrechungsbefehl übertragen zur Unterbrechung
30 oder Beendigung des Speicherzugriffs zu einem durch den Unterbrechungsbefehl definierten Zeitpunkt. Dieser Unterbrechungsbefehl kann vorteilhaft mit dem oben beschriebenen Auswahlsignal übertragen werden. Dadurch ist kein weiterer Pin
35 für den Unterbrechungsbefehl notwendig. Mit dem Unterbrechungsbefehl ist es möglich, das Schreiben beziehungsweise Lesen an einer beliebigen Stelle abubrechen. Auch wäre es

möglich, durch zwischenzeitliches Aktivieren eines Maskierungssignals einzelne Daten zu maskieren, das heißt die entsprechenden an den Datenpins liegenden Zugriffsdaten für diesen Zugriffszyklus nicht in den Speicher oder aus dem Speicher zu übertragen. Dieses Maskierungssignal kann ebenfalls vorteilhaft mit dem oben beschriebenen Auswahlssignal übertragen werden.

Um vorteilhaft einen Start einer Lese- oder Schreiboperation an einer beliebigen Adresse des Speichers durchführen zu können, wird in einer Weiterbildung des erfindungsgemäßen Verfahrens für den Speicherzugriff eine Startadresse übertragen, von der ausgehend die Adressen zum Zugriff auf die Speicherzellen des betreffenden Speicherbereichs generiert werden.

Der mit dem erfindungsgemäßen Verfahren durchgeführte Betriebsmodus kann sowohl für einen dafür eigenständig konzipierten Speicher verwendet werden als auch zusätzlich zu den bereits bekannten Betriebsmodi von herkömmlichen Speichern verwendet werden. In letzterem Fall wäre es möglich, entweder den Betriebsmodus dem Kunden gegenüber zu spezifizieren oder ihn lediglich als Testmodus einzubauen. In einem Testmodus würde das erfindungsgemäße Verfahren das Testen des Speichers vor der Auslieferung für den Hersteller erleichtern. Es werden für die Testphase weniger Pins benötigt, wodurch sich Ressourcen am Testgerät einsparen lassen. Außerdem kann dadurch die Parallelität beim Testen der Funktionsfähigkeit mehrerer Speicher erhöht werden, was vorteilhaft den Kostenaufwand für den Testbetrieb senkt.

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden an einem Ausführungsbeispiel anhand der in der Zeichnung dargestellten Figuren näher erläutert. Es zeigen

Figur 1 eine schematische Darstellung einer Ausführungsform eines Speicherchips,

Figur 2 eine Anordnung mehrerer Speicherchips, die an einem gemeinsamen Datenbus angeschlossen sind,

Figur 3 ein Signalablaufdiagramm für eine Initialisierung eines Speichers,

Figur 4 ein Signalablaufdiagramm für einen Schreibzugriff auf einen Speicher.

Figur 1 zeigt eine Ausführungsform eines Speicherchips CH, der ein Speicherzellenfeld A aufweist. Der Speicherchip CH ist im vorliegenden Beispiel ein 64 Mbit-Speicherchip. Der Speicherchip CH weist 16 Datenanschlüsse I/O1 bis I/O16 auf. Damit weist der Chip CH $64 \times 1024 \times 1024 / 16 = 2^{26} / 2^4 = 2^{22} = 4 \times 1024 \times 1024$ Adressen auf.

Das Speicherzellenfeld A weist Wortleitungen WL und Bitleitungen BL auf, in deren Kreuzungspunkten die Speicherzellen MC angeordnet sind. Mittels der Wortleitungen WL werden die Speicherzellen MC jeweils über einen Auswahltransistor ausgewählt, die auszulesenden oder einzuschreibenden Zugriffsdaten über die Bitleitungen BL ausgelesen beziehungsweise eingeschrieben. Für einen Speicherzugriff wird das Speicherzellenfeld A in 512 Speicherbereiche B0 bis B511 aufgeteilt. Jeder der 512 Speicherbereiche B0 bis B511 enthält demzufolge $4 \times 1024 \times 1024 / 512 = 8192$ Adressen.

Bei dem vorliegenden Speicher CH werden nur noch zwei Anschlüsse für Befehlssignale CS und WE benutzt. Das Signal CS entspricht einem sogenannten Chip-Select-Signal, mit dem der Chip ausgewählt werden kann. Dieses Aktivierungssignal CS ist zugleich ein Taktsignal zum Betrieb des Speichers CH. Ein derartiges Clock-Signal wird für den Betrieb beispielsweise eines SDRAM-Speichers benötigt. Mit dem Auswahlsignal WE wird

zwischen einem Lesezugriff und einem Schreibzugriff unterschieden. Ein dritter Anschluß könnte einen Vergleichspegel für die eingehenden Datensignale liefern, beispielsweise in Form einer Referenzspannung als Grenze zwischen "High" und "Low" Spannungspegel auf den Datenleitungen. Dieser Vergleichspegel könnte aber auch intern durch einen Spannungsteiler aus einer Versorgungsspannung erzeugt werden. Die Referenzspannung beträgt beispielsweise die Hälfte des Betrags der Versorgungsspannung.

Vor einem Speicherzugriff wird eine Initialisierung des Speichers CH durchgeführt. Diesbezüglich ist in Figur 3 ein beispielhaftes Signalablaufdiagramm zur Initialisierung des Speichers gezeigt. Über das Aktivierungssignal CS, das als Taktsignal zu laufen beginnt, wird der Chip ausgewählt. Die Initialisierung wird mit einem Initialisierungsbefehl, der mittels dem Auswahlsignal WE übertragen wird, eingeleitet. Das Auswahlsignal WE weist in einer Ausführungsform dazu die Signalfolge "10101010" auf. Diese Signalfolge wird als Initialisierungsbefehl interpretiert, mit dem zugleich das Speicherzellenfeld A in die 512 Speicherbereiche B0 bis B511 aufgeteilt wird.

Dazu wird über die Anschlüsse I/O1 bis I/O4 der Zweierlogarithmus der Anzahl der Speicherbereiche, auf die später blockweise zugegriffen werden soll, übergeben. In diesem Fall beträgt der Zweierlogarithmus aus der Zahl 512 $\log_2(512) = 9$, also binär "1001". Diese binäre Information wird auf den Anschlüssen I/O4, 3, 2, 1 entsprechend übertragen. Alle weiteren I/Os sind "0". Damit ist dem Speicher die festzulegende Anzahl der Speicherbereiche mitgeteilt, woraus sich die Größe des einzelnen der Speicherbereiche, die alle gleich groß sind, ergibt. Alternativ dazu wäre es möglich, die Größe eines Speicherbereichs zu übergeben, woraus sich die Anzahl der festzulegenden Speicherbereiche ergeben würde.

Ein beispielhafter Schreibzugriff auf den Speicher aus Figur 1 ist anhand des Signalablaufdiagramms gemäß Figur 4 dargestellt. In diesem Fall wird der Chip wiederum über das Aktivierungssignal CS ausgewählt, das als Taktsignal zu laufen
5 beginnt. Das Auswahlsignal WE geht vom hochimpedanten Zustand ("High-Z") auf den Zustand "1" ("High"). Damit ist der Schreibmodus ausgewählt. Für den Speicherzugriff wird auf den I/Os 1 bis 9 die Speicherbereichsadresse BADR zur Auswahl des Speicherbereichs B9 angelegt. Dieser Bereich B9 soll im fol-
10 genden mit Datensignalen beschrieben werden. Zur Auswahl des Bereichs B9 wird an den I/Os 4 bis 1 "1001" (Binärdarstellung von 9) angelegt. Die übrigen I/Os sind auf "0".

Anschließend wird in dieser Ausführungsform eine festgelegte
15 Anzahl an Taktzyklen später eine Startadresse innerhalb dieses Bereichs B9 ausgewählt. An dieser Startadresse soll das Schreiben innerhalb dieses Bereichs beginnen. Die 8192 Adressen innerhalb eines jeweiligen Bereichs werden als Startadresse über die Anschlüsse I/O1 bis 14 angesprochen. In die-
20 sem Beispiel wird als Startadresse SADR an den Anschlüssen I/O5 bis I/O1 "10110" angelegt (Binärdarstellung von 22). Die übrigen I/Os sind auf "0". Von dieser Startadresse SADR ausgehend werden die Adressen ADR zum Zugriff auf die Speicherzellen MC des Speicherbereichs B9 mittels eines Zählers Z ge-
25 neriert.

Eine festgelegte Anzahl von CS-Zyklen später werden die Schreibdaten auf den I/Os bereitgestellt und vom Chip CH
übernommen. Die Schreibdaten DA werden dabei nacheinander in
30 schneller Folge übertragen. Diese werden dann im Speicher CH abgespeichert.

Ist der interne Adreßzähler am Ende des Speicherbereichs B9 angekommen, geht das Auswahlsignal WE wieder auf "High-Z".
35 Damit ist der Schreibzyklus beendet. Für den Fall, daß das Auswahlsignal WE im Zustand "High" verbleibt, wird die nächste Speicherbereichsadresse BADR angelegt.

Will man nicht bis an das Ende des Speicherbereichs B9 alle Adressen durchlaufen, so wird ein Unterbrechungsbefehl übertragen zur Unterbrechung oder Beendigung des Speicherzugriffs zu einem durch den Unterbrechungsbefehl definierten Zeitpunkt. Dieser wird vorteilhaft ebenfalls durch das Auswahlsignal WE übertragen, das dazu beispielsweise die Signalfolge "010-High-Z" durchläuft. Zur Unterbrechung beziehungsweise zur Maskierung von bestimmten Daten wäre es möglich, durch zwischenzeitliches Schalten von WE auf "High-Z" gezielt einzelne Daten zu maskieren, das heißt die entsprechenden an den I/Os liegenden Daten für diesen Zugriffszyklus nicht in den Chip zu übernehmen.

Für einen Lesezugriff ist der Ablauf ähnlich dem oben beschriebenen Ablauf für einen Schreibzyklus. In diesem Fall geht das Auswahlsignal WE nicht auf "1", sondern auf "0". Dieser Zustand stellt somit einen entsprechenden Lesebefehl dar. Für einen Abbruch durchläuft das Auswahlsignal WE dementsprechend die Signalfolge "101-High-Z" oder ähnliches.

Das erfindungsgemäße Betriebsverfahren funktioniert sowohl für einfache als auch für doppelte Datenrate, bei der ein Datum pro Taktflanke des Signals CS übertragen wird, wie in Figur 4 dargestellt. Für den Chiphersteller ist es von Vorteil, daß es dem jeweiligen Chipdesign überlassen ist, wie die zu lesenden oder schreibenden Daten im Chip verteilt werden. Dies ermöglicht insbesondere, einen Betriebsmodus mit geringem Stromverbrauch zu wählen (beispielsweise sogenannter "Fast Page Mode" bei dynamischen Speichern) und kritische interne Timings weitestgehend zu vermeiden. Dadurch ergibt sich eine geringere Ausfallwahrscheinlichkeit des Speicherchips.

In Figur 2 ist eine Anordnung gezeigt, bei der mehrere Speicherchips CH1 bis CH4 an einem gemeinsamen Datenbus DB angeschlossen sind. Die Speicherchips CH1 und CH2 bilden eine sogenannte Speicherbank BK1. Die Speicherchips CH3 und CH4 bil-

den eine Speicherbank BK2. Die Aktivierungssignale CS1 und CS2 sind an den Speichern CH1, CH2 beziehungsweise CH3, CH4 angeschlossen. Die Speicher CH1 bis CH4 werden parallel an dem Datenbus DB betrieben, wobei beispielsweise von den Chips
5 CH1, CH3 die höherwertigen Bits, von den Chips CH2 und CH4 die niederwertigen Bits des Datenbusses DB geliefert werden.

In der Variante gemäß Figur 2 übernehmen die Signale CS1 und CS2 nur die Funktion eines Aktivierungssignals. Die Speicher-
10 chips weisen jeweils einen weiteren Pin für ein Taktsignal CK auf, das die Funktion eines Clocks übernimmt. Dies ist vorteilhaft für den Fall, daß eine Verkopplung des Signals CS mit einem Taktsignal als unangenehm angesehen wird, weil eine stabile Clock aus Gründen der Phasenstabilisierung eigentlich
15 durchlaufen sollte.

Die in den Signalablaufdiagrammen der Figuren 3 und 4 gezeigten Verläufe sind beispielhafte Ausführungsformen. Insbesondere sind die zeitlichen Abstände zwischen den einzelnen
20 Adressen oder von den Adressen zu den Zugriffsdaten nur beispielhaft vorgegeben. Diese hängen insbesondere von den verwendeten Frequenzen und vom jeweiligen Chipdesign ab. Außerdem sind verschiedene Kommandosequenzen mittels CS und WE zur Realisierung des reduzierten Befehlssatzes möglich, die an-
25 hand der Figuren beschriebenen Kommandosequenzen sind nur Beispiele. Da nur wenige verschiedene Zugriffsarten möglich sind, ergeben sich für einen Testmodus des Speichers zum Testen der Funktionsfähigkeit des Speichers vorteilhaft verringerte Anforderungen.

Patentansprüche

1. Verfahren zum Betrieb eines integrierten Speichers mit einem Speicherzellenfeld,

- 5 - bei dem vor einem Speicherzugriff das Speicherzellenfeld (A) in mehrere Speicherbereiche (B0 bis B511) aufgeteilt wird,
- bei dem für einen Speicherzugriff einer der Speicherbereiche (B9) durch Anlegen einer Speicherbereichsadresse (BADR) ausgewählt wird,
10 - bei dem während des Speicherzugriffs Adressen (ADR) zum Zugriff auf Speicherzellen (MC) des einen der Speicherbereiche (B9) intern vom Speicher (CH) generiert werden,
- bei dem über einen gemeinsamen externen Anschluß (I/O1 bis
15 I/O9) des Speichers die Speicherbereichsadresse (BADR) und anschließend nacheinander Zugriffsdaten (DA) des einen der Speicherbereiche übertragen werden.

2. Verfahren nach Anspruch 1,

- 20 d a d u r c h g e k e n n z e i c h n e t, daß
mit einem Initialisierungsbefehl (WE) eine festzulegende Anzahl der Speicherbereiche (B0 bis B511) oder eine Größe der Speicherbereiche übertragen wird.

25 3. Verfahren nach Anspruch 1 oder 2,

- d a d u r c h g e k e n n z e i c h n e t, daß
für den Speicherzugriff eine Startadresse (SADR) übertragen wird, von der ausgehend die Adressen (ADR) zum Zugriff auf die Speicherzellen des einen der Speicherbereiche (B9) generiert werden.
30

4. Verfahren nach einem der Ansprüche 1 bis 3,

- d a d u r c h g e k e n n z e i c h n e t, daß
ein Unterbrechungsbefehl (WE) übertragen wird zur Unterbrechung oder Beendigung des Speicherzugriffs zu einem durch den
35 Unterbrechungsbefehl definierten Zeitpunkt.

5. Verfahren nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet, daß
ein Auswahlsignal (WE) an den Speicher angelegt wird, mittels
dem wenigstens zwei Befehle für den Speicherzugriff übertra-
gen werden.

6. Verfahren nach Anspruch 5,
dadurch gekennzeichnet, daß
mittels dem Auswahlsignal (WE) ein Auslesebefehl und ein
Schreibbefehl übertragen werden.

7. Verfahren nach Anspruch 5 oder 6,
dadurch gekennzeichnet, daß
mittels dem Auswahlsignal (WE) ein Initialisierungsbefehl,
ein Unterbrechungsbefehl und/oder ein Maskierungssignal über-
tragen werden.

8. Verfahren nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
bei einem Betrieb von mehreren Speichern (CH1 bis CH4) an ei-
nem gemeinsamen Datenbus (DB) an jeden der Speicher ein Akti-
vierungssignal (CS1, CS2) zur Aktivierung des jeweiligen
Speichers angelegt wird.

9. Verfahren nach Anspruch 8,
dadurch gekennzeichnet, daß
das Aktivierungssignal (CS) zugleich als Taktsignal zum Be-
trieb des jeweiligen Speichers verwendet wird.

10. Verfahren nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
das Verfahren nur in einem Testmodus des Speichers zum Testen
der Funktionsfähigkeit des Speichers durchgeführt wird.

Zusammenfassung

Verfahren zum Betrieb eines integrierten Speichers

5 In einem Verfahren zum Betrieb eines integrierten Speichers
mit einem Speicherzellenfeld wird vor einem Speicherzugriff
das Speicherzellenfeld (A) in mehrere Speicherbereiche (B0
bis B511) aufgeteilt. Für den Speicherzugriff wird einer der
Speicherbereiche (B9) durch Anlegen einer Speicherbereichs-
10 adresse (BADR) ausgewählt. Während des Speicherzugriffs wer-
den Adressen (ADR) zum Zugriff auf Speicherzellen (MC) des
einen der Speicherbereiche (B9) intern vom Speicher (CH) ge-
neriert. Über einen gemeinsamen externen Anschluß (I/O1 bis
I/O9) des Speichers werden die Speicherbereichsadresse (BADR)
15 und anschließend nacheinander Zugriffsdaten (DA) des einen
der Speicherbereiche übertragen. Das Betriebsverfahren ermög-
licht eine vergleichsweise niedrige Anzahl an Anschlußpins.

20 Figur 1

Bezugszeichenliste

	WE	Auswahlsignal
5	CS	Aktivierungssignal
	CS1, CS2	Aktivierungssignal
	I/O1 bis I/O16	Anschluß
	A	Speicherzellenfeld
	CH	Speicher
10	CH1 bis CH4	Speicher
	Z	Zähler
	B0 bis B511	Speicherbereich
	WL	Wortleitungen
	BL	Bitleitungen
15	MC	Speicherzellen
	ADR	Adresse
	BADR	Speicherbereichsadresse
	SADR	Startadresse
	DA	Schreibdaten
20	DB	Datenbus
	CK	Taktsignal
	BK1, BK2	Speicherbank

1/2.

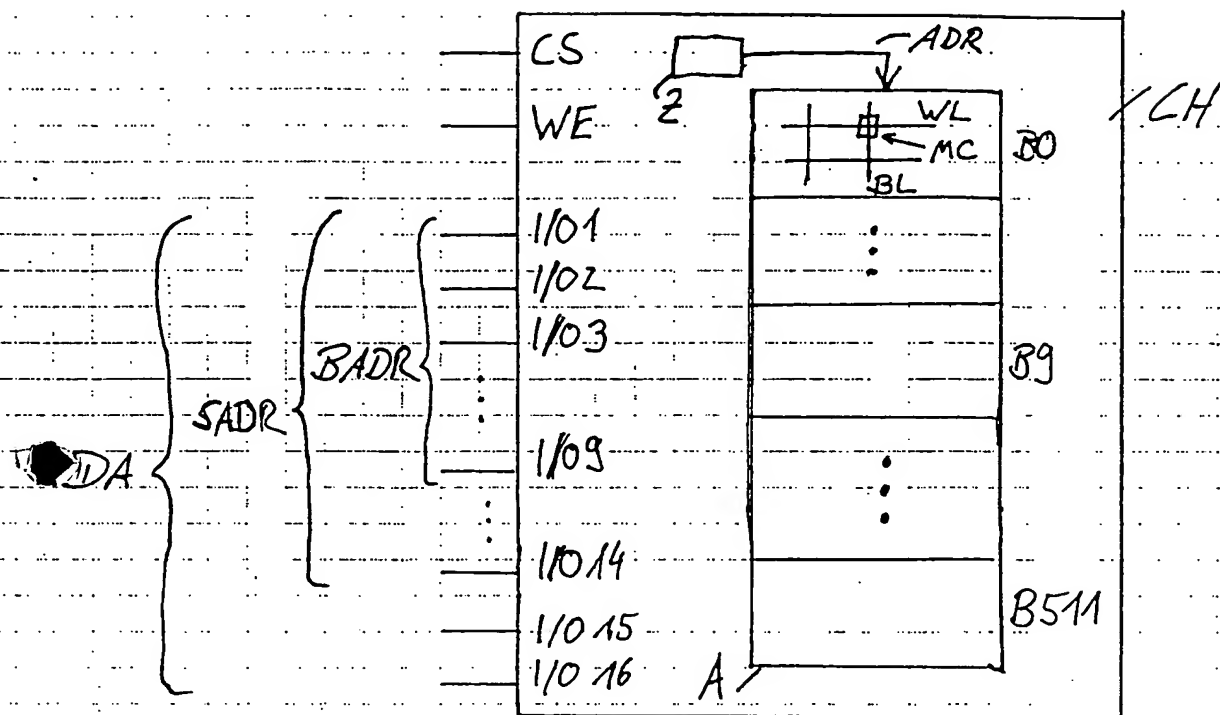


Fig. 1

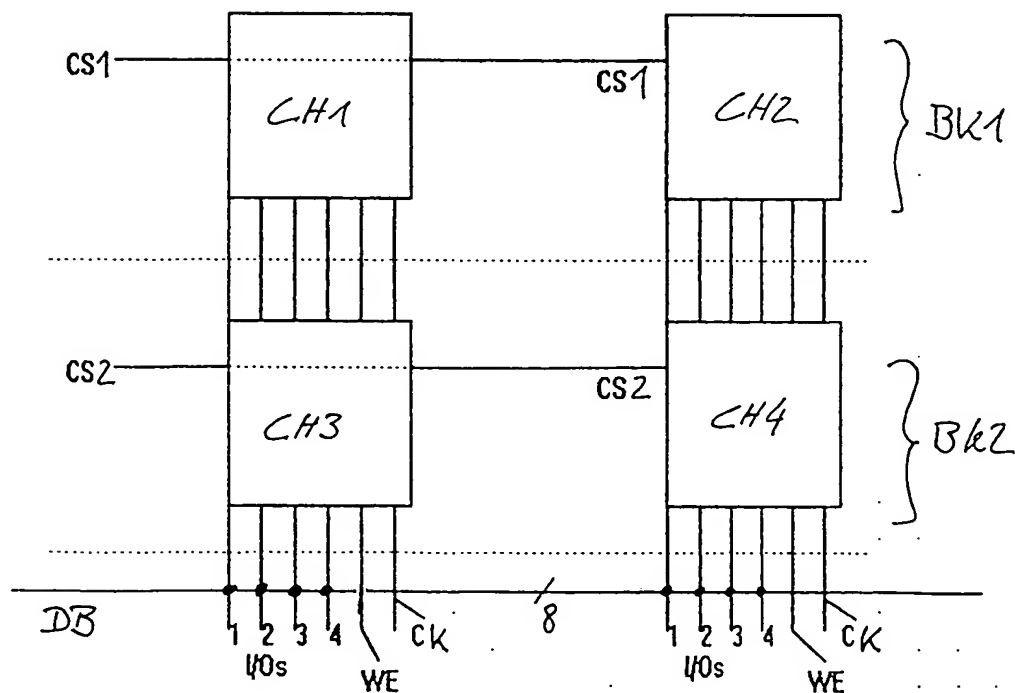


Fig. 2

2/2

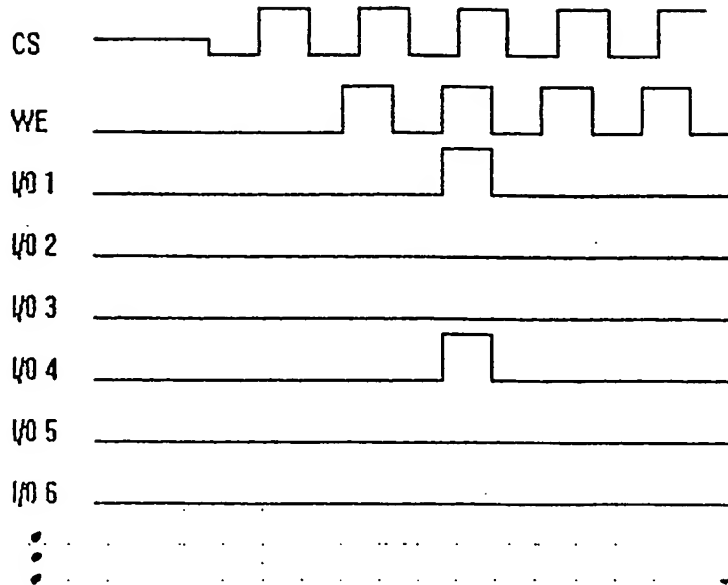


Fig. 3

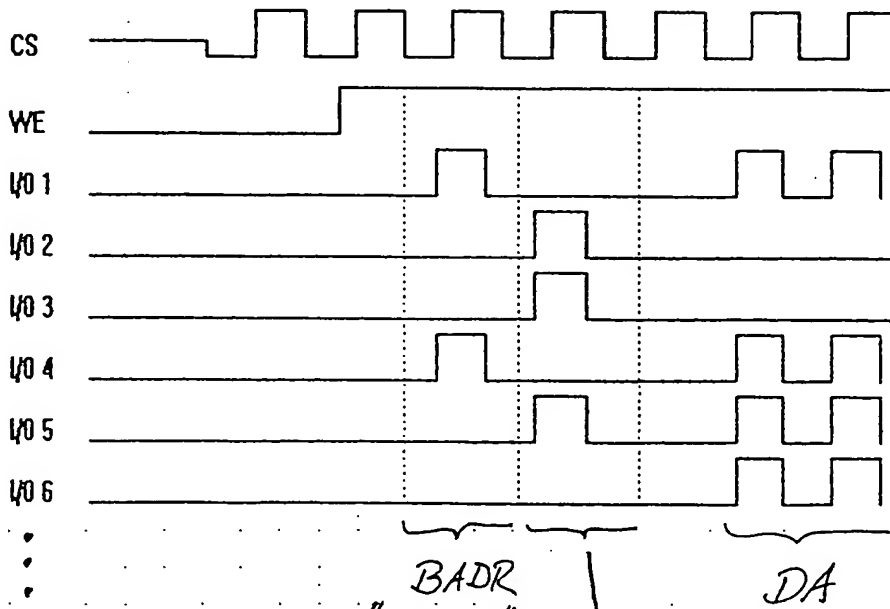


Fig. 4